

**ABSTRACT OF Korean Patent Application No. 10-1999-0062007**

The present invention relates to a method of fabricating a MOS transistor in which an edge of a gate insulating layer has a thick thickness. The method comprises the steps of:

5 forming a gate insulating layer in an active region of a semiconductor substrate to form a gate electrode constituted with a conductive layer; removing a gate insulating layer in contact with a lower edge portion of the gate electrode; and forming an insulating layer on an entire surface of the gate electrode and the active region. Accordingly, a gate insulating layer where a gate electrode being a passage of leakage current and a drain region are

10 overlapped in fabricating a device having a short channel length. As result, the performance of a transistor is maintained, and leakage current is prevented. Resultantly, it is possible to prevent a misoperation of the device.

특1999-0062007

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

H01L 29/72

(11) 공개번호 특1999-0062007

(43) 공개일자 1999년07월26일

(21) 출원번호 10-1997-0082312  
(22) 출원일자 1997년12월31일  
(71) 출원인 현대전자산업 주식회사 김영환  
경기도 이천시 부발읍 아미리 산 136-1  
(72) 발명자 임근  
경기도 이천시 마장면 오천2리 270-28  
(74) 대리인 김동진, 정은섭, 허진석

심사결과 : 있음

(54) 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조방법

요약

본 발명은 게이트 절연막의 에지의 두께가 두꺼운 모스 트랜지스터의 제조 방법에 관한 것으로서, 특히 반도체 기판의 활성 영역에 게이트 절연막을 내재하여 도전층으로 이루어진 게이트 전극을 형성하며, 게이트 전극 하부 에지 부분과 접촉된 게이트 절연막을 제거하며, 게이트 전극 및 활성 영역 전면에 절연막을 형성하는 제조 공정을 포함하는 것을 특징으로 한다. 따라서, 본 발명에 의하면, 채널 길이가 짧은 소자 제조시 누설전류의 통로가 되는 게이트 전극과 드레인 영역이 오버랩되는 게이트 절연막을 채널 영역보다 두껍게 형성함으로써 트랜지스터의 성능을 유지하면서 누설 전류의 발생하지 않도록 하여 소자의 오동작을 방지할 수 있다.

도표도

도2a

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 통상적으로 모스 트랜지스터를 형성하기 위한 제조 공정을 나타낸 공정 순서도이다.  
도 2a 내지 도 2e는 본 발명에 따른 모스 트랜지스터를 형성하기 위한 제조 공정을 나타낸 공정 순서도이다.

\*도면의 주요 부분에 대한 부호의 설명\*

- 10: 실리콘 기판
- 12: 소자 분리 영역
- 14, 14': 게이트 절연막
- 16: 게이트 전극
- 18: 열산화막
- 20: LDD 영역
- 22: 스페이서
- 24: 소스/드레인 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모스 트랜지스터의 제조 방법에 관한 것으로서, 특히 짧은 채널 길이를 가지는 소자의 경우 게이트 전극과 접하는 불순물층으로의 누설 전류를 방지할 수 있는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법에 관한 것이다.

반도체 소자의 고집적화에 따른 미세화의 발전으로 현재 트랜지스터의 선폭은 1 $\mu$ m 이하로 미르게 되었다. 이로 인해 트랜지스터 내의 쇼트 채널 효과가 반도체 소자의 가장 큰 문제점으로 제기되었다. 이를 해결

하기 위해 모스 트랜지스터는 저농도 불순물을 주입한 LDD(Lightly Doped Drain) 구조를 형성하여 반도체 소자의 미세화에 따른 쇼트 채널 문제점을 극복하였다.

도 1a 내지 도 1e는 통상적으로 모스 트랜지스터를 형성하기 위한 제조 공정을 나타낸 공정 순서도이다. 이를 참조하여 모스 트랜지스터의 제조 공정을 설명하면 다음과 같다.

우선, 도 1a에 실리콘 기판(10)에 통상의 로커스 산화 공정으로 소자 분리 영역(12)을 형성한 후에 실리콘 산화막 및 폴리실리콘층을 순차적으로 적층한다. 그 다음 게이트 마스크를 이용한 사진 및 식각 공정으로 폴리실리콘층 및 실리콘산화막을 셀프알라인하도록 식각하여 도 1b에 나타난 바와 같이 게이트 전극(16)과 게이트 절연막(14)을 형성한다. 그리고, 게이트 전극(16)이 형성된 결과물 전면에서 열산화 공정을 실시하여 도 1c에 나타난 바와 같이 열산화막(18)을 얇게 성장한다. 그 다음 열산화막(18)이 형성된 기판 전면에서 기판과 다른 도전형 불순물을 저농도로 미온 주입한다. 즉, 기판(10)의 활성 영역이 p형일 경우 도 1d에 나타난 바와 같이 게이트 절연막(14) 에지 근방과 소자 분리 영역(12) 사이의 활성 영역에는 n형 불순물이 저농도로 주입된 불순물 주입영역으로서 LDD 영역(20)이 형성된다. 계속해서 열산화막(16) 전면에서 실리콘질화막을 도포하고 건식 식각 공정으로 이 막을 식각해서 게이트 전극(16) 측면에 스페이서(22)를 형성한다. 도 1e에 나타난 바와 같이, 스페이서(22)를 마스크로 해서 n형 불순물을 고농도로 미온 주입한 후에 열공정을 실시한다. 이로 인해 스페이서(22) 하부 근방과 소자 분리 영역(12) 사이의 활성 영역에는 고농도로 n형 불순물이 주입된 소스/드레인 영역(24)이 형성된다.

이와 같은 제조 공정에 의한 모스 트랜지스터는 소자 구동시 게이트 전극(16)과 드레인 영역(24) 간에 누설 전류가 발생하였다. 이는 드레인 영역(24)에 높은 고전압이 가해지고, 게이트 전극(16)이 게이트 전위로 있을 때 게이트 전극(16)과 드레인 영역(24)이 서로 오버랩되는 부분에서 깊은 공핍 영역이 형성된다. 이러한 공핍 영역은 균형 밴드에 있는 전자를 도전 밴드로 터널링함으로써, 전자 밀집공 쌍을 생성시키고, 이 전자, 정공을 각각 드레인 영역과 기판 방향으로 이동하여 전류를 발생하게 된다. 이때의 전류는 모스 트랜지스터가 정지 상태에서 발생하기 때문에 소자의 오동작을 유발시키는 원인이 되었다. 그러므로, 모스 트랜지스터는 이러한 게이트 전극과 드레인 영역의 오버랩 부분에서 발생하는 누설 전류를 방지하고자 드레인 영역의 불순물 도핑 농도를 낮춘 LDD 구조를 형성하였다. 그러나, 반도체 장치는 고집적화에 따라서 누설전류의 통로가 되는 게이트 절연막의 두께도 감소하기 때문에 LDD 구조만으로는 큰 효과를 얻을 수 없었다.

#### 본 발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 누설전류의 통로가 되는 게이트 절연막의 두께를 조절하여 트랜지스터의 성능을 유지하면서 누설 전류를 차단할 수 있는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법을 제공하는데 있다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 제조 방법은 반도체 소자를 형성함에 있어서, 반도체 기판의 활성 영역에 게이트 절연막을 내재하여 도전층으로 이루어진 게이트 전극을 형성하는 단계; 상기 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막을 제거하는 단계; 및 상기 게이트 전극 및 활성 영역 전면에서 절연막을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 제조 방법에 있어서, 상기 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막은 습식 식각 공정으로 제거하며, 상기 절연막은 50~200Å의 두께를 가진다.

또한, 본 발명의 제조 방법에 있어서, 상기 게이트 전극 및 활성 영역 전면에서 절연막을 형성하는 단계는 게이트 전극 에지 근방의 활성영역에 활성 영역과 다른 도전형 불순물이 저농도로 주입된 불순물 주입영역을 형성하는 단계를 더 포함한다.

본 발명에 의하면, 모스 트랜지스터는 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막을 언더 커팅 후에 산화 공정을 실시하여 언더 커팅된 부분의 게이트 절연막을 수평 방향으로 크게 성장시킨다. 이로 인해 본 발명은 누설전류의 통로가 되는 게이트 전극과 드레인 영역이 오버랩되는 부분의 게이트 절연막 두께가 두껍게 형성되어 누설 전류를 차단할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하고자 한다.

도 2a 내지 도 2g는 본 발명에 따른 모스 트랜지스터를 형성하기 위한 제조 공정을 나타낸 공정 순서도이다.

이를 참조하면 본 발명의 모스 트랜지스터는 도 2a에 나타난 바와 같이 실리콘 기판(10)에 LOCOS(LOCa:1 Oxidation of Silicon) 공정을 실시하여 활성 영역과 분리 영역을 구분하기 위한 소자 분리 영역(12)을 형성한다. 기판(10) 전면에서 실리콘산화막 및 폴리실리콘층을 순차적으로 적층한 후에 게이트 마스크를 이용한 사진 및 식각 공정으로 폴리실리콘층 및 실리콘산화막을 셀프알라인하도록 식각하여 도 2b에 나타난 바와 같이 게이트 전극(16) 및 게이트 절연막(14)을 형성한다. 이어서 습식 식각 공정으로 게이트 전극(16) 하부의 에지 부분과 접촉된 게이트 절연막(14)을 식각한다. 이로 인해 게이트 전극(16) 하부의 에지 부분(U)에는 도 2c에 나타난 바와 같이 과도 식각된 게이트 절연막(14')이 형성된다. 그 다음 언더 커팅된 게이트 절연막(14')을 가지는 결과물 전면에서 열산화 공정을 실시하여 열산화막(18)을 50~200Å의 두께로 성장시킨다. 이때, 게이트 전극(16) 하부의 에지 부분(U)은 위의 열산화 공정에 의해 게이트 전극(16) 하부의 절연막이 수평 방향으로 크게 성장함에 따라 도 2d에 나타난 바와 같이 채널 영역의 게이트 절연막(14') 두께보다 더 두꺼운 절연막이 형성된다. 이어서 열산화막(18)이 형성된 기판 전면에서 활성 영역과 다른 도전형, 예컨대 n형 불순물을 저농도로 미온 주입한다. 이로 인해 기판의 활성 영역이 p형일 경우 도 2e에 나타난 바와 같이 게이트 절연막(14') 에지 근방과 소자 분리 영역(12) 사이의 활성 영역에는 n형 불순물이 저농도로 주입된 불순물 주입영역으로서 LDD 영역(20)이 형성된다. 계속해서 열산화막(16) 전면에서 실리콘질화막을 증착하고 건식 식각 공정으로 이 막을 식각해서 게이트 전극(16) 측면

에 스페이서(22)를 형성한다. 도 2에 나타난 바와 같이 스페이서(22)를 마스크로 해서 n형 불순물을 고 농도로 이온 주입한 후에 열공정을 실시한다. 이로 인해 스페이서(22) 하부 근방과 소자 분리 영역(12) 사이의 활성 영역에는 고농도로 n형 불순물이 주입된 소스/드레인 영역(24)이 형성된다.

본 발명의 제조 공정에 의하면 게이트 전극을 형성한 이후 또는 게이트 전극을 형성하기 위한 식각 공정 시 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막을 언더 커팅하고 난 다음에 산화 공정을 실시 하여 언더 커팅된 부분의 산화막이 수평 방향으로 두껍게 성장된다. 그러므로, 본 발명의 게이트 절연막 두께는 채널 영역은 얇은데 반하여 게이트 전극과 소스/드레인 영역이 오버랩되는 부분은 비대칭적으로 두껍다.

#### 발명의 효과

본 발명은 고집적화에 따라서 채널 길이가 짧은 소자 제조시 누설전류의 통로가 되는 게이트 전극과 드레인 영역이 오버랩되는 게이트 절연막을 채널 영역보다 두껍게 형성함으로써 트랜지스터의 성능을 유지하면서 누설 전류의 발생하지 않도록 하여 소자의 오동작을 방지할 수 있는 효과가 있다.

#### (57) 청구의 범위

청구항 1. 반도체 소자를 형성함에 있어서, 반도체 기판의 활성 영역에 게이트 절연막을 내재하여 도전층으로 이루어진 게이트 전극을 형성하는 단계;

상기 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막을 제거하는 단계; 및

상기 게이트 전극 및 활성 영역 전면에 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법.

청구항 2. 제 1항에 있어서, 상기 게이트 전극 하부의 에지 부분과 접촉된 게이트 절연막은 습식 식각 공정으로 제거하는 것을 특징으로 하는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법.

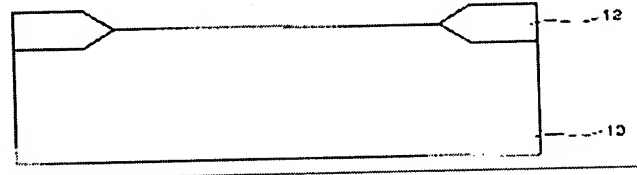
청구항 3. 제 1항에 있어서, 상기 게이트 전극 및 활성 영역 전면에 형성되는 절연막은 50~200Å의 두께를 가진 것을 특징으로 하는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법.

청구항 4. 제 1항에 있어서, 상기 게이트 전극 및 활성 영역 전면에 절연막을 형성한 후,

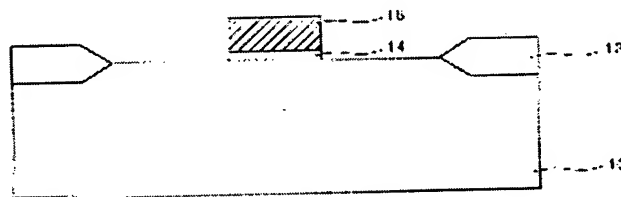
상기 게이트 전극 에지 근방의 활성영역에 활성 영역과 다른 도전형 불순물이 저농도로 주입된 불순물 영역을 형성하는 단계를 더 포함하는 것을 특징으로 하는 게이트 절연막의 에지가 두꺼운 모스 트랜지스터의 제조 방법.

#### 도면

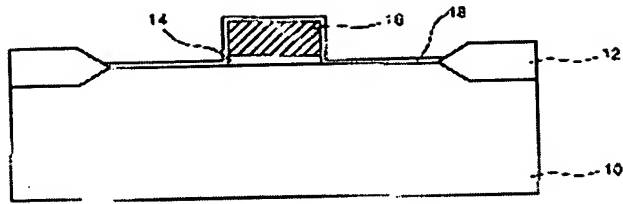
도면 1a



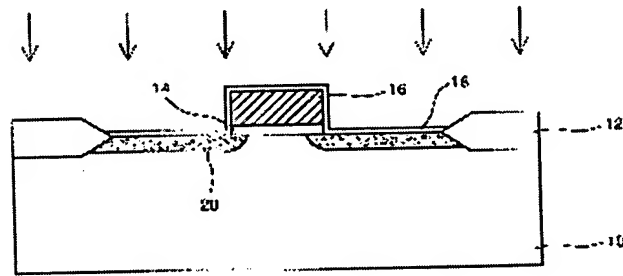
도면 1b



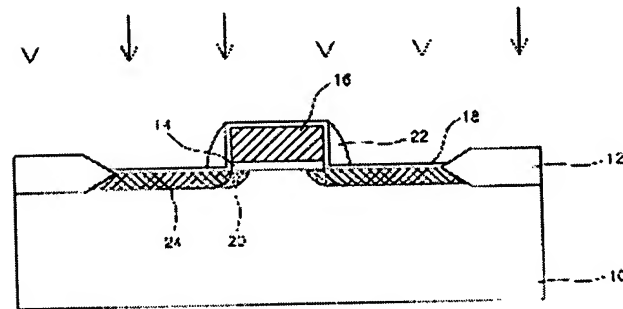
도면 1a



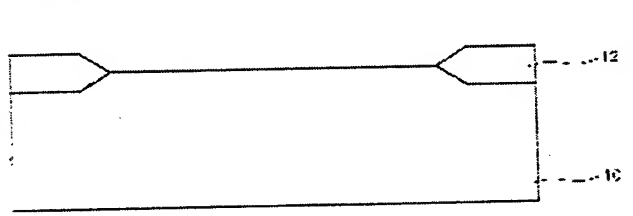
도면 1b



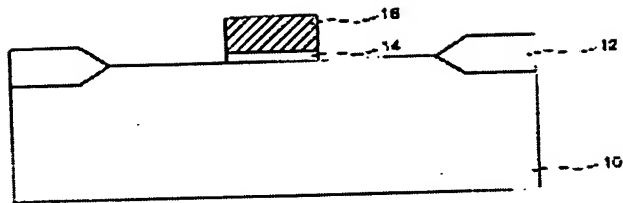
도면 1c



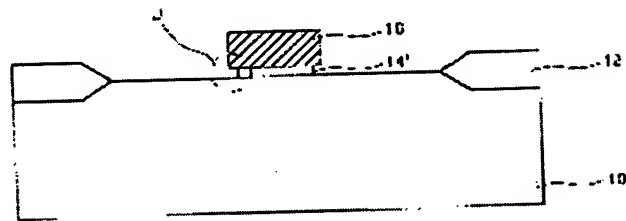
도면 1d



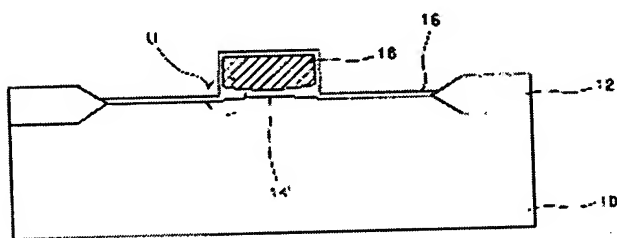
5B2



5B3



5B4



5B5

